

## Pollin CPLD Evaluation Board

### Kurzbeschreibung

Stand 1.3 vom 4. 4. 2014

Das Pollin CPLD Evaluation Board ist eine Platine, die ein CPLD, einen Programmer und eine elementare Ausstattung an peripheren Einrichtungen enthält. Sie ist vor allem zum Experimentieren und Lernen vorgesehen.

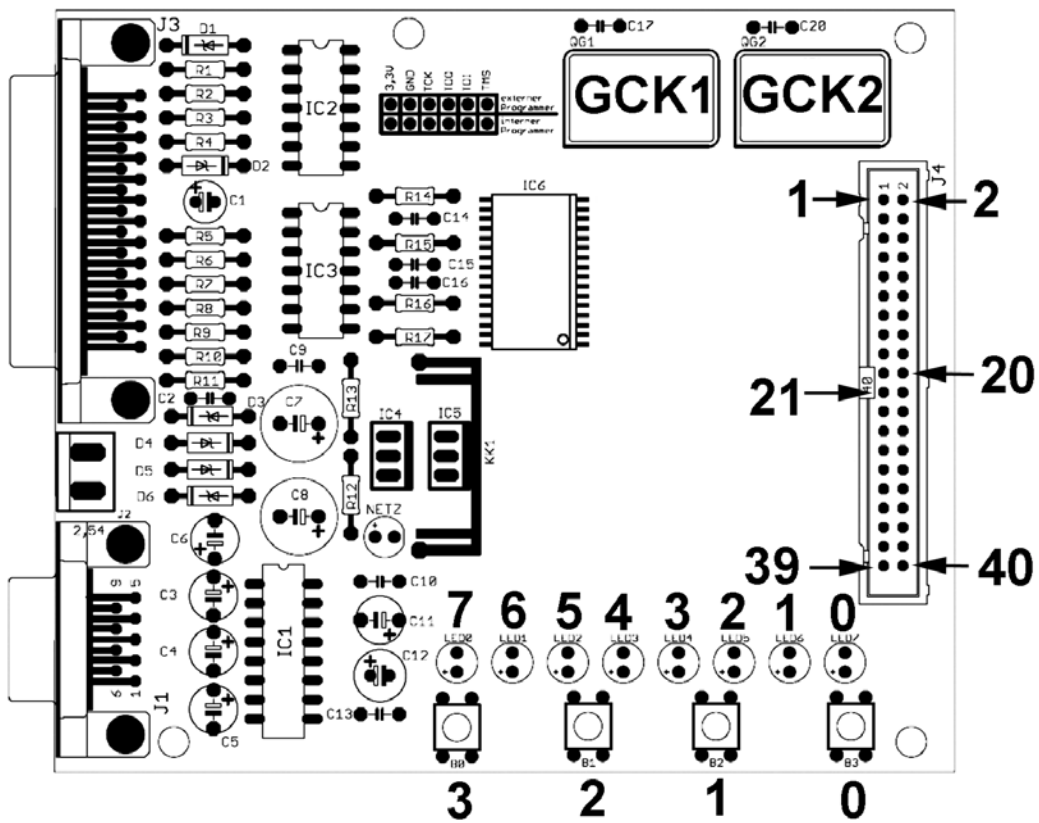


#### Ausstattungsmerkmale:

- CPLD XilinxXC95144XL TQFP100. 144 Makrozellen, Flatpack-Gehäuse mit 100 Anschlüssen, 81 Signalanschlüsse, 3,3 V Speisespannung.
- SRAM 128k • 8.
- Serielle Schnittstelle.
- Vier Tasten.
- Acht Leuchtdioden.
- 40poliger Externsteckverbinder für 39 Signale.
- Taktgenerator (Quarz) 16 MHz.
- Programmierung über Parallelport.
- Interne Versorgungsspannungen 3,3 und 5 V.
- Betriebsspannung 9 V, ca. 400 mA.

#### Eine typische Versuchsplattform:

Das CPLD Evaluation Board ist auf ein CPLD-Lehrgerät 12 aufgesteckt. Das CPLD-Lehrgerät 12 kann Peripheriefunktionen nachbilden (virtuelle Peripherie). Es unterstützt aber auch das Anschließen realer peripherer Einrichtungen. Typische Beispiele sind die Siebensegmentanzeige 09/13 und der Lüftertrainer 13. Ganz elementare Versuche beschränken sich auf die Nutzung der eingebauten Einrichtungen. Das sind 4 Tasten, 8 Leuchtdioden, eine serielle Schnittstelle und ein SRAM 128k • 8.



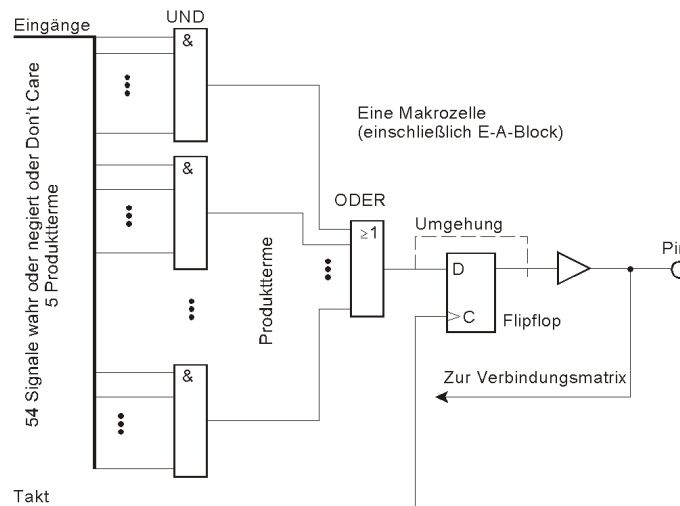
Die Tasten wirken aktiv Low, die Leuchtdioden aktiv High.

Hinweis: Auf der Leiterplatte und im Schaltplan der Fa. Pollin wird jeweils anders herum gezählt (0 links außen, 3 bzw. 7 rechts außen).

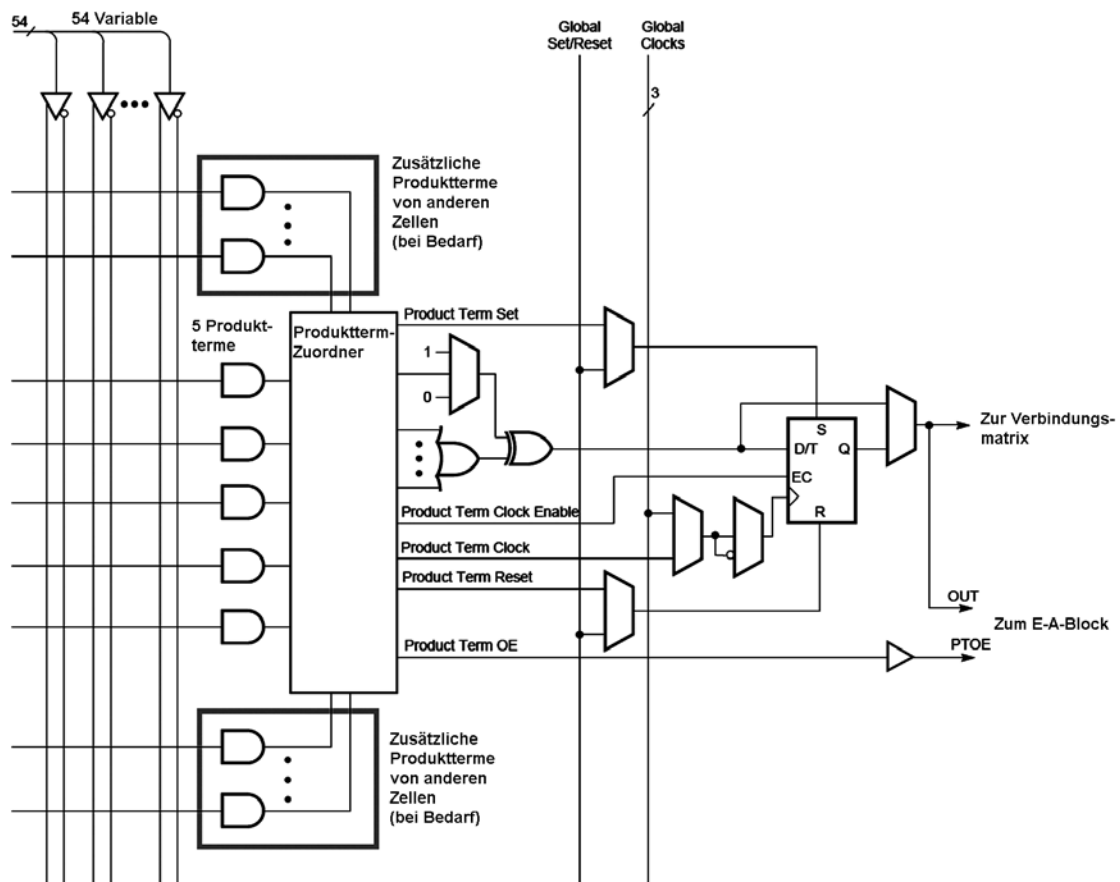
**Der prinzipielle Aufbau einer CPLD:**

CPLDs bestehen aus Logikzellen (Makrozellen). Jede Logikzelle enthält eine Flipflop mit einem vorgeschalteten UND-ODER-Netzwerk. Alle Netzwerke sind an eine programmierbare Verbindungsmatrix angeschlossen.

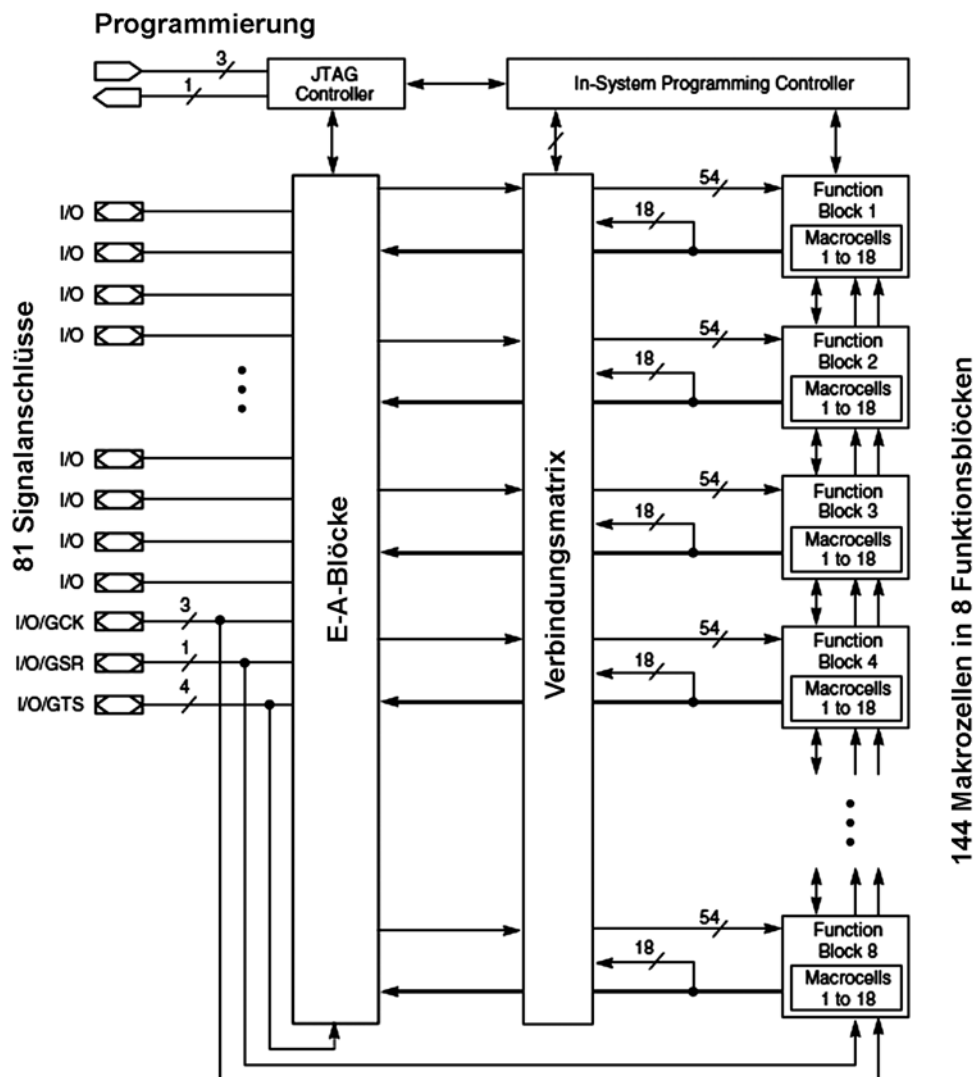
Die prinzipielle Struktur einer Makrozelle (stark vereinfacht):



Eine Makrozelle der XC95XL-CPLDs (nach Xilinx):



Die prinzipielle Struktur des CPLD XC95144XL (nach Xilinx):



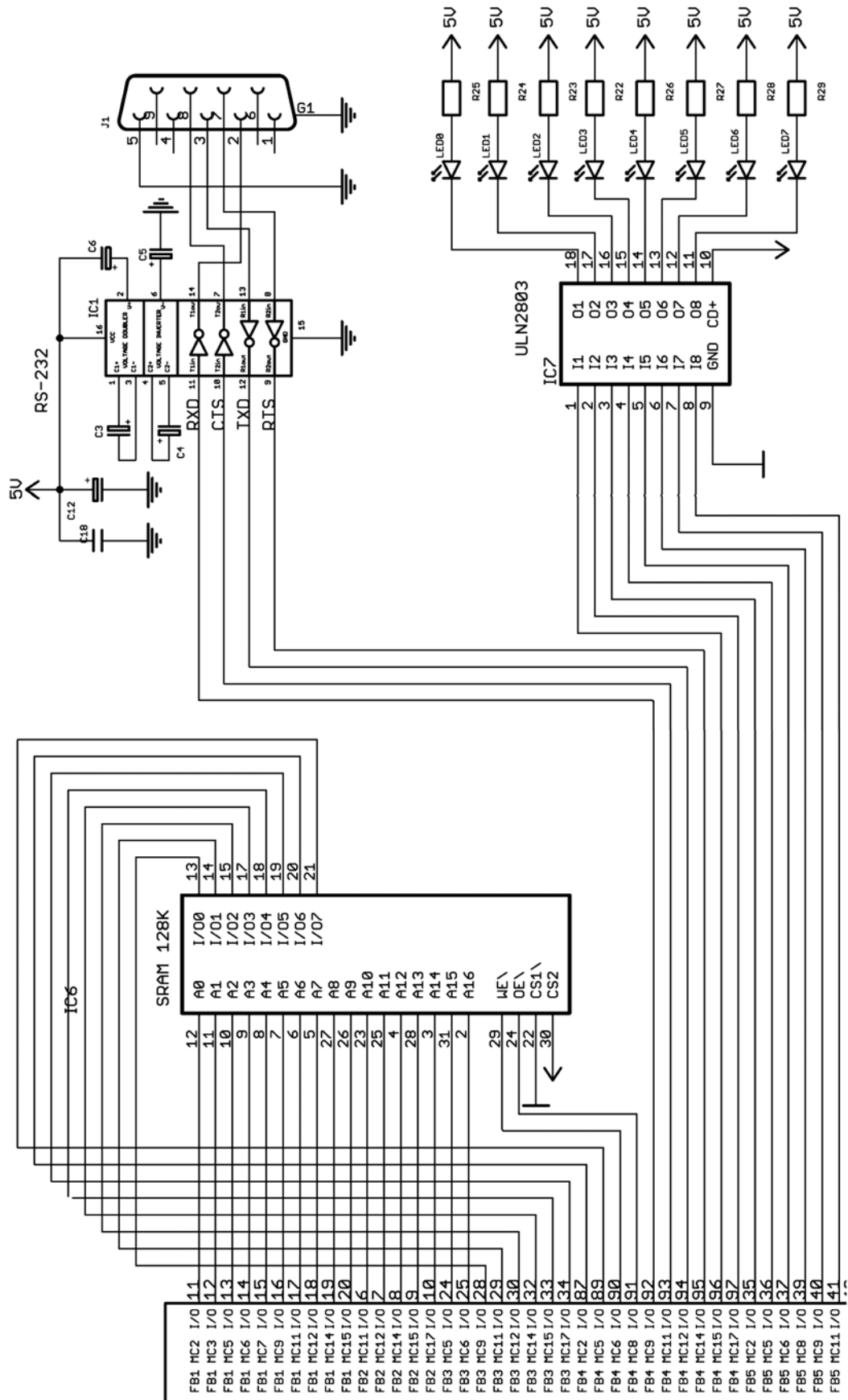
**Anschlußbelegung CPLD:**

<b>Pin</b>	<b>Bezeichnung</b>	<b>Belegung</b>
22	GCK1	Quarz 1
23	GCK2	Quarz 2
27	GCK3	
3	GTS1	
4	GTS2	
1	GTS3	
2	GTS4	
99	GSR	
11	FB1 MC2	SRAM A0
12	FB1 MC3	SRAM A1
13	FB1 MC5	SRAM A2
14	FB1 MC6	SRAM A3
15	FB1 MC7	SRAM A4
16	FB1 MC9	SRAM A5
17	FB1 MC11	SRAM A6
18	FB1 MC12	SRAM A7
19	FB1 MC14	SRAM A8
20	FB1 MC15	SRAM A9
6	FB2 MC11	SRAM A10
7	FB2 MC12	SRAM A11
8	FB2 MC14	SRAM A12
9	FB2 MC15	SRAM A13
10	FB2 MC17	SRAM A14
24	FB3 MC5	SRAM A15
25	FB3 MC6	SRAM A16
28	FB3 MC9	SRAM I/O0

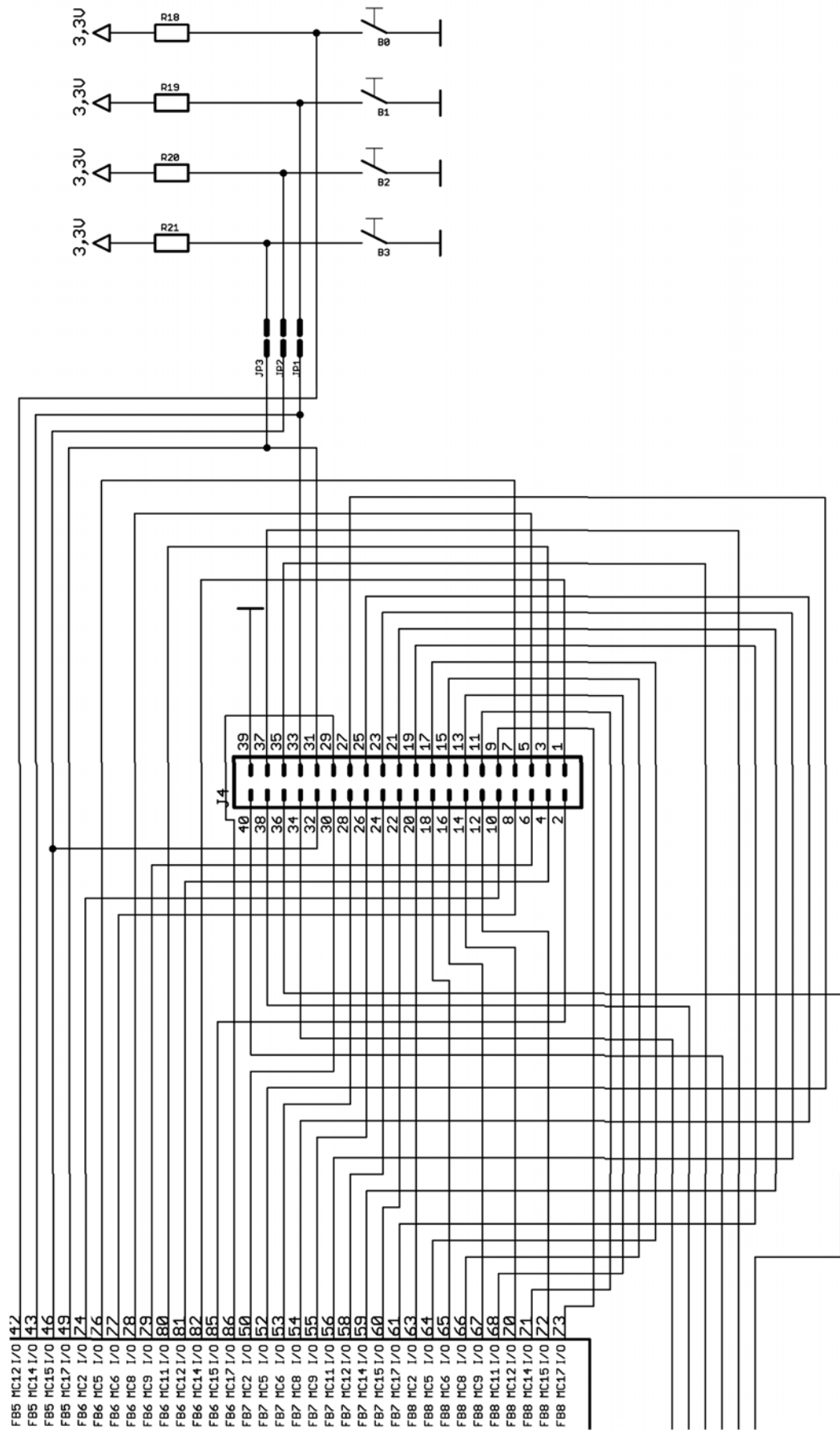
<b>Pin</b>	<b>Bezeichnung</b>	<b>Belegung</b>
29	FB3 MC11	SRAM I/O1
30	FB3 MC12	SRAM I/O2
32	FB3 MC14	SRAM I/O3
33	FB3 MC15	SRAM I/O4
34	FB3 MC17	SRAM I/O5
87	FB4 MC2	SRAM I/O6
89	FB4 MC5	SRAM I/O7
90	FB4 MC6	SRAM WE#
91	FB4 MC8	SRAM OE#
92	FB4 MC9	RXD
93	FB4 MC11	CTS
94	FB4 MC12	TXD
95	FB4 MC14	RTS
41	FB5 MC11	LED 0
40	FB5 MC9	LED 1
39	FB5 MC8	LED 2
37	FB5 MC6	LED 3
36	FB5 MC5	LED 4
35	FB5 MC2	LED 5
97	FB4 MC17	LED 6
96	FB4 MC15	LED 7
49	FB5 MC17	Taste 0 (KEY0#) + Pin 31
46	FB5 MC15	Taste 1 (KEY1#) + Pin 32
43	FB5 MC14	Taste 2 (KEY2#) + Pin 33
42	FB5 MC12	Taste 3 (KEY3#)

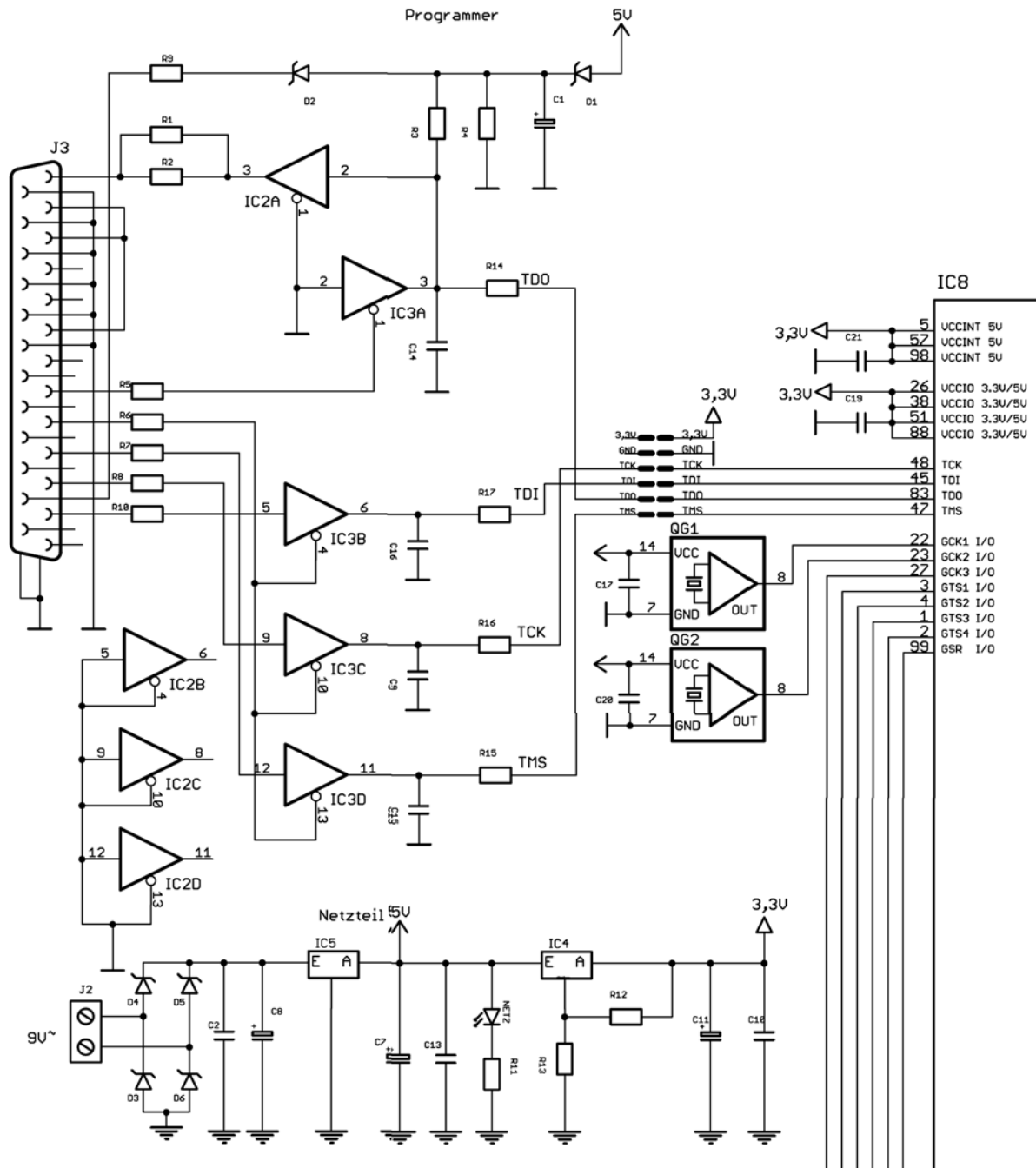
**Anschlußbelegung 40pol. Steckverbinder:**

<b>Pin Steckverb.</b>	<b>Pin IC</b>	<b>Pin Steckverb.</b>	<b>Pin IC</b>
40	4 = GTS2	39 GND	–
38	2 = GTS4	37	3 = GTS1
36	27 = GCK3	35	1 = GTS3
34	99 = GSR	33	43 = KEY2#
32	46 = KEY1#	31	49 = KEY0#
30	50	29	86
28	53	27	52
26	55	25	54
24	58	23	56
22	60	21	59
20	63	19	61
18	65	17	64
16	67	15	66
14	70	13	68
12	72	11	71
10	74	9	73
8	77	7	76
6	79	5	78
4	81	3	80
2	85	1	82









**Die Anschlüsse der Bedien- und Anzeigeelemente:**

<b>Anschluß</b>	<b>Pin</b>
Taste 0 (KEY0#)	49
Taste 1 (KEY1#)	46
Taste 2 (KEY2#)	43
Taste 3 (KEY3#)	42
LED 0	41
LED 1	40
LED 2	39
LED 3	37
LED 4	36
LED 5	35
LED 6	97
LED 7	96
Quarztakt 16 MHz (GCK1)	22
Das zweite Taktsignal (GCK2)	23
Gesamtrücksetzen (GSR)	99
Serielle Schnittstelle, Sendedaten (TXD)*	94
Serielle Schnittstelle, Empfangsdaten (RXD)*	92

\*: Benennung (gemäß Originalschaltplan) aus Sicht der angeschlossenen Dateneneinrichtung. Die Sendedaten vom CPLD gehen an Pin 92, die Empfangsdaten des CPLD kommen von Pin 94.

**Die CPLD-Anschlüsse an den Ports des CPLD-Lehrgerätes 12****Siebensegmentanzeige an Port A:**

<b>Anschluß</b>	<b>Pin</b>
Segment A	82
Segment B	85
Segment C	80
Segment D	81
Segment E	78
Segment F	79
Segment G	76
Taste oder Dezimalpunkt	77

**Siebensegmentanzeige an Port B:**

<b>Anschluß</b>	<b>Pin</b>
Segment A	73
Segment B	74
Segment C	71
Segment D	72
Segment E	68
Segment F	70
Segment G	66
Taste oder Dezimalpunkt	67

**Siebensegmentanzeige an Port C**

<b>Anschluß</b>	<b>Pin</b>
Segment A	64
Segment B	65
Segment C	61
Segment D	63
Segment E	59
Segment F	60
Segment G	56
Taste oder Dezimalpunkt	58

**Siebensegmentanzeige an Port D:**

<b>Anschluß</b>	<b>Pin</b>
Segment A	54
Segment B	55
Segment C	52
Segment D	53
Segment E	86
Segment F	50
Segment G	3
Taste oder Dezimalpunkt	4